

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-238712

(43)Date of publication of application : 21.09.1990

(51)Int.Cl. H03K 19/08

H03K 17/56

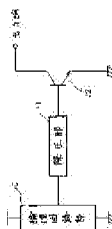
(21)Application number : 01-057834 (71)Applicant : TOSHIBA CORP

TOSHIBA MICRO
ELECTRON KK

(22)Date of filing : 13.03.1989 (72)Inventor : MATSUO KENJI

OKAWACHI TADAHISA
TSUCHIYA IKUO
KIMURA MASAHIRO

(54) OUTPUT BUFFER CIRCUIT



(57)Abstract:

PURPOSE: To keep a voltage at an output terminal to be $\pm V_{BE}$ or below and to set an output current at the voltage of $\pm V_{BE}$ or below using a stepped-

down section so as to step down an output voltage of a logic circuit section to a desired voltage and selecting a VBE of a bipolar transistor(TR) independently of the voltage at the output terminal.

CONSTITUTION: First or second potential is selectively outputted from a logic circuit section 10. When the 2nd potential is outputted selectively from the logic circuit section 10, the level is stepped down into a level being the 1st level or over and the 2nd level or below with a level step down section 11. Succeedingly the step down level is fed to a base of a bipolar TR 12, and when a collector current starts flowing, the level at an output terminal is decreased, and in this case, a breakdown voltage being a base-emitter voltage (VBE) is an output of the level step down section 11 and the output terminal and the base are not short-circuited. That is, the level at the output terminal is decreased without giving any effect onto the voltage VBE. Thus, the level at the output terminal is brought into a Built in Potential (ϕ_{BE}) or below and the output current is set with the level of the output terminal to be ϕ_{BE} or below.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平2-238712

⑤Int.Cl.⁵H 03 K 19/08
17/56

識別記号

A
E

庁内整理番号

8326-5J
8124-5J

④公開 平成2年(1990)9月21日

審査請求 未請求 請求項の数 4 (全9頁)

⑤4発明の名称 出力バッファ回路

②特 願 平1-57834

②出 願 平1(1989)3月13日

⑦2発 明 者 松 尾 研 二 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑦2発 明 者 大 川 内 忠 久 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエンジニアリング株式会社内

⑦2発 明 者 土 屋 郁 男 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエンジニアリング株式会社内

⑦1出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑦1出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑦4代 理 人 弁理士 則近 憲佑 外1名

最終頁に続く

明 細 書

1. 発明の名称

出力バッファ回路

2. 特許請求の範囲

(1) 第1又は第2の電位を選択的に出力する論理回路部と、

この論理回路部の出力に接続され、前記論理回路部が第2の電位を出力する時に、第1の電位以上第2の電位以下に降圧する降圧部と、

この降圧部の出力にベースが接続され、エミッタに第1の電位が供給され、コレクタが出力端に接続されたバイポーラトランジスタとを備えた出力バッファ回路。

(2) 入力端にゲートが接続され、ソースに第1の電位が供給された第1導電型MOSトランジスタと、

前記入力端にゲートが接続され、ソースに第2の電位が供給された第2導電型MOSトランジスタと、

前記第1導電型MOSトランジスタのドレイン

と、前記第2導電型MOSトランジスタのドレインとの間に接続された抵抗と、

前記第2導電型MOSトランジスタのドレインにベースが接続され、エミッタに第2の電位が供給され、コレクタが出力端に接続されたバイポーラトランジスタとを備えた出力バッファ回路。

(3) 前記出力端と前記第1の電位の間に第2の抵抗を接続したことを特徴とする請求項2記載の出力バッファ回路。

(4) 入力端にゲートが接続され、ソースに第1の電位が供給された第1導電型MOSトランジスタと、

入力端にゲートが接続され、ソースに第2の電位が供給された第2導電型MOSトランジスタと、

前記第1導電型MOSトランジスタのドレインと前記第2導電型MOSトランジスタのドレインとの間に直列接続された2つの抵抗と、

この2つの抵抗の接続点に陽極が接続され、陰極が出力端に接続されたダイオードと、

前記第2導電型MOSトランジスタのドレイン

にベースが接続され、エミッタに第2の電位が供給され、コレクタが前記出力端に接続された第1のバイポーラトランジスタと、

前記入力端にベースが接続され、コレクタに第1の電位が供給され、エミッタが前記出力端に接続された第2のバイポーラトランジスタとを備えた出力バッファ回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は出力バッファ回路に関し、特にBi-MOS出力バッファ回路に関するものである。

(従来技術)

以下第9図乃至第10図を参照して、従来技術による出力バッファ回路について説明する。第9図は従来技術によるBi-CMOS出力バッファ回路を示した回路図である。

従来技術によるBi-CMOS出力バッファ回路は、入力端に接続されたCMOSインバータ回路(41)と、このCMOSインバータ回路(41)の出

力にベースが接続されたバイポーラトランジスタ(42)と、このバイポーラトランジスタ(42)のエミッタにドレインが接続され、入力端にゲートが接続されたNチャネルトランジスタ(43)と、このNチャネルトランジスタ(43)のソースにドレインが接続され、CMOSインバータ回路(41)の出力にゲートが接続されたNチャネルトランジスタ(44)と、このNチャネルトランジスタ(44)のドレインにベースが接続されたバイポーラトランジスタ(45)から構成されていた。

まず、入力端にHighレベル(以下“Hレベル”と称す)の電圧が入力されると、CMOSインバータ回路(41)の出力はLowレベル(以下“Lレベル”と称す)に反転する。この時、出力端がHレベルであるとすれば、バイポーラトランジスタ(42)はOFFとなる。又、このCMOSインバータ回路(41)の出力であるLレベルの電圧は、Nチャネルトランジスタ(44)もOFFにする。入力端のHレベルの電圧によりNチャネルトランジスタ(43)はONとなり、ドレイン-ソース間に電

流が流れ始める。続いて、この電流がバイポーラトランジスタ(45)のベース電流になるため、バイポーラトランジスタ(45)がONし、コレクタ電流が流れ始める。このコレクタ電流が流れ始めると、Hレベルであった出力端の電圧が下がり始め、Lレベルになる。

尚、第9図に示したBi-CMOS出力バッファ回路の電流特性を第10図に示す。

(発明が解決しようとする課題)

上記の様なBi-CMOS出力バッファ回路では、入力端にHレベルの電圧が入力されると、Nチャネルトランジスタ(43)がONとなりドレイン電流が流れ始める。この時、Nチャネルトランジスタ(43)のドレインと出力端、Nチャネルトランジスタ(43)のソースとバイポーラトランジスタ(45)のベースがそれぞれ接続されているので、出力端とバイポーラトランジスタ(45)のベースの間はショートされてしまうことになる。又、このドレイン電流によりバイポーラトランジスタのベース-エミッタ間の電圧(以下“ V_{BE} ”と称す)が

Built in Potential(以下“ ϕ_{BE} ”と称す)になると、コレクタ電流が流れ始める。続いて、コレクタ電流により出力端の電圧が下がる。しかし、出力端はバイポーラトランジスタ(45)のベースとNチャネルトランジスタ(43)を介して接続されているので、出力端の電圧はベース電圧と等しくなり V_{BE} となる。つまり、出力端の電圧は下がっていても ϕ_{BE} 以下にはならず第10図の電流特性に示した様に、 ϕ_{BE} 以下では出力電流を設定することができない。又、出力端のLレベル出力電圧が ϕ_{BE} 以上であると、通常のTTLデバイス、又は後段に続く回路のLレベル入力電圧が ϕ_{BE} 以下の場合、直接インターフェイスが出来ないという問題点がある。

本発明は、上記の様な問題点を除去し、出力端の電圧を ϕ_{BE} 以下に下げることができ、出力端の電圧が ϕ_{BE} 以下で出力電流を設定することのできる出力バッファ回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために本発明においては、第1又は第2の電位を選択的に出力する論理回路部と、この論理回路部の出力に接続され、論理回路部が第2の電位を出力する時に、この電位を降圧する降圧部と、この降圧部の出力にベースが接続され、エミッタに第1の電位が供給され、コレクタが出力端に接続されたバイポーラトランジスタを備えた出力バッファ回路を提供する。

(作用)

この様な出力バッファ回路によれば、論理回路部から選択的に第2の電位が出力されると、降圧部により第1の電位以上第2の電位以下に降圧される。続いて、この降圧電圧がバイポーラトランジスタのベースに供給され、コレクタ電流が流れ始める。このコレクタ電流が流れ始めると、出力端の電圧が下がる。この時、 V_{BE} である降圧電圧は降圧部の出力であり、出力端とベース間はショートしていない。つまり、出力端の電圧は V_{BE} に影響することなく下げることができる。

これらのことにより、出力端の電圧を ϕ_{BE} 以下

($\approx 0.7V$)に降圧される。すなわち、バイポーラトランジスタ(12)のベース電位は ϕ_{BE} になる。続いて、この降圧電圧がバイポーラトランジスタ(12)に供給されると、コレクタ電流が流れ始める。このコレクタ電流により出力端の電圧が下がり始める。

第2図は、第1図に示したブロック図に基づいて構成された本発明の第1の実施例に係る出力バッファ回路を示した回路図である。

この出力バッファ回路は、ゲートが入力端に接続され、 V_{DD} と0レベルの電源に接続された、Pチャネルトランジスタ(20)及びNチャネルトランジスタ(21)からなるCMOSインバータと、このPチャネルトランジスタ(20)とNチャネルトランジスタのドレイン間に接続された抵抗 R_1 (22)と、Nチャネルトランジスタ(21)のドレインにベースが接続され、エミッタが0レベルに接地され、コレクタが出力端に接続されたバイポーラトランジスタ(23)から構成されている。

入力端に0レベルである電圧が入力されると、

にすることができ、出力端の電圧が ϕ_{BE} 以下で出力電流を設定することのできる出力バッファ回路を提供できる。

(実施例)

以下第1図乃至第5図を参照して、本発明の実施例に係る出力バッファ回路を説明する。

第1図は、本発明の実施例に係る出力バッファ回路の構成を示したブロック図である。

本発明による出力バッファ回路は V_{DD} レベルと0レベルの電源に接続され、選択的にどちらか一方の電位を出力する論理回路部(10)と、この論理回路部(10)の出力に接続され、論理回路部(10)の出力が V_{DD} レベルの時に、この電圧を降圧する降圧部(11)と、この降圧部(11)の出力にベースが接続され、エミッタが0レベルに接地され、コレクタが出力端に接続されたバイポーラトランジスタ(12)とから構成されている。

まず、論理回路部(10)から V_{DD} レベルの電圧が出力されると、降圧部(11)によりバイポーラトランジスタ(12)がONするのに必要な電圧値(ϕ_{BE}

Nチャネルトランジスタ(21)はOFFとなり、Pチャネルトランジスタ(20)はONとなる。Pチャネルトランジスタ(20)がONとなると、ドレイン電流 I_D が流れ始める。ここでドレインの電圧を V_C とすると、この電圧 V_C は抵抗 R_1 (22)によって V_A に降圧される。この電圧 V_A は、バイポーラトランジスタ(23)のベースに供給され、続いて、バイポーラトランジスタ(23)がONするとコレクタ電流が I_{OL} が流れ始め、コレクタ電圧である出力電圧 V_{OL} が下がっていく。この時、出力端とベース間は接続されていないので、バイポーラトランジスタ(23)がONしている間は V_{BE} に影響されずに、出力電圧 V_{OL} は下がり続ける。つまり、 ϕ_{BE} ($\approx 0.7V$)以下の出力電圧を V_{OL} を得ることができる。

又、バイポーラトランジスタの特性より次式が成立する。

$$I_C = I_B \times h_{FE} \quad (1)$$

但し、 I_C はコレクタ電流、 I_B はベース電流、 h_{FE} は電流増幅率である。本回路においては、

$I_C = I_{OL}$ であるので任意の出力電流 I_{OL} を設定する場合、 I_{OL} と h_{FE} が決まれば(1)式より必要な I_B が決まる。更に、第3図に示す様に、Pチャネルトランジスタ(20)のドレイン電流 I_D の特性曲線と、抵抗 R_1 (22)を流れる電流直線との交点が、必要な I_B 及び V_C になる。トランジスタ曲線は、トランジスタのチャネル幅 W 、チャネル長 L などで決まり、抵抗直線は抵抗の値により決まるので、チャネル幅、チャネル長、抵抗を任意に決めることにより、任意の出力電流 I_{OL} を設定することができる。

第1図に示した出力バッファ回路の電流特性を第4図に示す。

第4図は、横軸に出力電圧、縦軸に出力電流を示している。尚、この時の素子定数は、 $R_1 = 1.7 \text{ k}\Omega$ 、電源電圧 $V_{DD} = 5 \text{ V}$ 、 $W/L = 90/1.5$ である。

第4図によると、出力電圧 V_{OL} が ϕ_{BE} ($\approx 0.7 \text{ V}$) 以下でも出力電流 I_{OL} は流れ、動作をしていることがわかる。

まず入力端にHレベルの電圧が入力されると、Pチャネルトランジスタ(20)はOFFとなり、Nチャネルトランジスタ(21)はONとなる。Nチャネルトランジスタ(21)がONとなると、ドレイン電流 I_D が流れ始め、バイポーラトランジスタ(23)のベース電圧を下げていく。ベース電位が ϕ_{BE} より低くなると ($V_{BE} < \phi_{BE}$)、バイポーラトランジスタ(23)はOFFとなる。この時、出力端にはブルアップ抵抗 R_2 (24)の一端が接続され、このブルアップ抵抗 R_2 (24)の他端は V_{DD} 電源と接続されているので、出力端には V_{DD} レベルの電圧が出力される。

この様な出力バッファ回路によれば出力端にブルアップ抵抗を接続したことにより、入力端にHレベルの電圧が入力されると、第1の実施例では出力端はハイインピーダンスとなっていたが、出力端に V_{DD} レベルの電圧を出力することができる。

第6図は、本発明の第3の実施例に係る出力バッファ回路を示した回路図である。第6図に示されている番号は第5図に対応している。

この様な出力バッファ回路によれば、抵抗 R_1 (22)によりバイポーラトランジスタ(23)の V_{BE} の値を ϕ_{BE} ($\approx 0.7 \text{ V}$) に降圧することにより、バイポーラトランジスタ(23)のベースコレクタ間の逆電流を防止できる。又、バイポーラトランジスタ(23)の V_{BE} を出力端の電圧 V_{OL} とは独立に設定していることにより、出力電圧 V_{OL} を V_{BE} に影響することなく下げることができる。

又、抵抗 R_1 (23)、Pチャネルトランジスタ(20)の W/L を任意の値にすることによって、任意の出力電流 I_{OL} を得ることができる。

尚、この出力バッファ回路においては、入力端にHレベルの電圧が入力されると、出力端はハイインピーダンスとなっている。

第5図は、本発明の第2の実施例に係る出力バッファ回路を示した回路図である。第5図に示されている番号は第2図に対応している。

この出力バッファ回路は、第2図に示した出力バッファ回路の出力端と電源間にブルアップ抵抗 R_2 (24)を接続したものである。

この出力バッファ回路は、第5図に示した出力バッファ回路のPチャネルトランジスタ(20)と抵抗 R_1 (22)を、負荷抵抗 R_3 (25)で置き換えたものである。

まず、入力端にLレベルの電圧が入力されると、Nチャネルトランジスタ(21)はOFFとなる。この時、バイポーラトランジスタ(23)のベースは、負荷抵抗 R_3 (25)を介して V_{DD} 電源に接続されているので、 V_{DD} レベルの電圧より負荷抵抗 R_3 (25)の電圧降下分、低い電圧がバイポーラトランジスタ(23)のベース電位となる。つまり、負荷抵抗 R_3 (25)の値を変えることによって、ベース電位を任意の値に設定することができる。具体的には、

$$I_B = \frac{V_{DD} - V_{BE}}{R} \quad \dots (2)$$

が成立するので、前述した(1)式を(2)式に代入すると、

$$R = \frac{h_{FE}}{I_{OL}} (V_{DD} - V_{BE}) \quad \dots (3)$$

となる。ここで、 $h_{FE} = 50$ 、 $V_{DD} = 5 \text{ V}$ 、 $V_{BE} = \phi_{BE} = 0.7 \text{ V}$ 、 $I_{OL} = 40 \text{ mA}$ とすると、 $R =$

5.375 k Ω と求まる。続いて、 V_{BE} が ϕ_{BE} 以上であればバイポーラトランジスタ(23)がONし、コレクタ電流が流れ始め、出力端の電圧が下がる。

又、入力端にHレベルの電圧が入力されると、第2の実施例と同様な動作をする。

このような出力バッファ回路によれば素子数を減らして第2の実施例と同様な効果を得ることができる。

第7図は、本発明の第4の実施例に係る出力バッファ回路を示した回路図である。

この出力バッファ回路はゲートが入力端に接続され V_{DD} レベルと0レベルの電源に接続された、Pチャネルトランジスタ(30)及びNチャネルトランジスタ(31)からなるCMOSインバータと、このPチャネルトランジスタ(30)とNチャネルトランジスタ(31)のドレイン間に直列接続された2つの抵抗 R_4 (32)、 R_5 (33)と、この2つの抵抗 R_4 (32)と R_5 (33)の接続点に陽極が接続され、出力端に陰極が接続されたダイオード(34)と、Nチャネルトランジスタ(31)のドレインにベースが

り ϕ_{BE} だけ低くなった電圧が出力される。

次に、入力端にLレベルの電圧が入力されると、2段インバータ(36)、(37)により同レベルのまま、バイポーラトランジスタ(38)のベースに入力され、バイポーラトランジスタ(38)はOFFとなる。又、この入力端の電圧により、Pチャネルトランジスタ(30)はONとなり、Nチャネルトランジスタ(31)はOFFとなる。Pチャネルトランジスタ(30)がONするとドレイン電流 I_D が流れ始める。Pチャネルトランジスタ(30)のドレイン電位を V_C とすると、この電圧 V_C は抵抗 R_4 (32)によって V_B に降圧される。更に又、この電圧 V_B は抵抗 R_5 (33)によって V_A に降圧される。この電圧 V_A はバイポーラトランジスタ(35)のベースに供給され、続いて、バイポーラトランジスタ(35)がONするとコレクタ電流が流れ始め、出力電圧 V_{OL} が下がっていく。この時、出力端とベース間はショートされていないので、バイポーラトランジスタ(35)がONしている間は V_{BE} に影響されずに、出力電圧 V_{OL} は下がり続ける。つまり、 ϕ_{BE}

接続され、エミッタが0レベルに接地され、コレクタが出力端に接続されたバイポーラトランジスタ(35)と、入力端に縦続接続された2段のインバータ(36)、(37)と、このインバータ(37)の出力にベースが接続され、コレクタが V_{DD} レベルの電源に接続され、エミッタが出力端に接続されたバイポーラトランジスタ(38)から構成されている。

まず、入力端にHレベルの電圧が入力されると、Pチャネルトランジスタ(30)はOFFし、Nチャネルトランジスタ(31)はONする。Nチャネルトランジスタ(31)がONすると、ドレイン電流が流れ始め、バイポーラトランジスタ(35)のベース電圧を下げて、バイポーラトランジスタ(35)をOFFにする。又、入力端のHレベルの電圧は、2段のインバータ(36)、(37)により同レベルのまま、バイポーラトランジスタ(38)のベースに入力される。ベースにHレベルの電圧が入力され、 V_{BE} が ϕ_{BE} 以上になると、バイポーラトランジスタ(38)はONし、コレクタ電流が流れ始める。コレクタ電流が流れると、出力端には V_{DD} レベルよ

(≈ 0.7 V)以下の出力電圧 V_{OL} を得ることができる。

尚、この出力バッファ回路中のダイオード(34)は、スイッチング・ノイズ対策のため電流クランプ用として設けたものである。出力電圧がある値まで下がり、ダイオード(34)の両端の電位差がダイオード(34)がONするのに必要な値 ϕ'_{BE} になると、ダイオード(34)はONする。ダイオードがONすると、ダイオードに電流が流れ始め、バイポーラトランジスタ(35)のベース電流が減少する。ベース電流が減少すると出力電流は減少し、出力電圧が0になる前に、出力電流は0になってしまう。このことは第8図に示した電流特性からもわかる。尚、この時の素子定数は、 $W/L = 90/1.5$ 、 $V_{DD} = 5$ V、 $R_4 = 1.6$ k Ω 、 $R_5 = 100$ Ω である。この様に、出力電圧がある値まで下がると、急に出力電流が減少し、出力電圧の0付近では出力電流は0であるので、電流の変化率は低くなりノイズは減少する。

尚、ショットキーダイオードの電流特性の立ち

上がりは、ダイオードに比べて急峻であるので、ダイオードをショットキーダイオードに変えることによって、より良い効果が得られる。

又、2段インバータ(36)、(37)は、入力端の電圧を他の回路にも利用する時の、レベルダウン防止用の増幅器として設けたものである。

又、出力電流の設定方法については、第1の実施例と同様である。

このような出力バッファ回路によれば、第2の実施例と同様な効果が得られるが、特に、プルアップ抵抗 R_2 (24)に代って、バイポーラトランジスタ(38)でHレベルを出力していることにより、貫通電流が流れなくなるので、消費電力の低下が計れる。更にダイオード(34)を設けたことにより、スイッチング・ノイズに強い出力バッファ回路が得られる。

尚、本実施例ではバイポーラトランジスタ(35)のベース電圧を下げるためにNチャネルトランジスタ(31)を設けているが、抵抗に変えても同様な効果が得られる。

出力バッファ回路を示した回路図、第7図は本発明の第4の実施例に係る出力バッファ回路を示した回路図、第8図は本発明の第4の実施例に係る出力バッファ回路の電流特性を示したグラフ、第9図は従来技術による出力バッファ回路を示した回路図、第10図は従来技術による出力バッファ回路の電流特性を示したグラフである。

- 10…論理回路部 11…降圧部
12, 23, 35, 38…バイポーラトランジスタ
20, 21, 30, 31…MOSトランジスタ
22, 24, 32, 33…抵抗
34…ダイオード

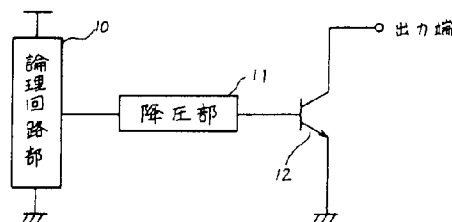
代理人弁理士 則 近 憲 佑
 同 竹 花 喜 久 男

[発明の効果]

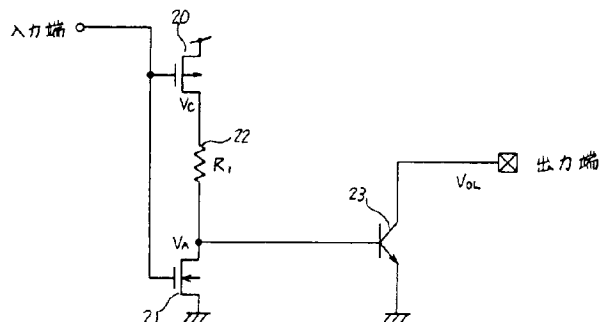
以上詳述した様に本発明によれば、論理回路部の出力電圧を降圧部により所望の電圧値に降圧することができるのでバイポーラトランジスタの逆電流を防止できる。又、バイポーラトランジスタの V_{BE} を出力端の電圧とは独立に設定していることにより、出力端の電圧を ϕ_{BE} 以下にすることができ、 ϕ_{BE} 以下の電圧で出力電流を設定することができる出力バッファ回路を提供することができる。

4. 図面の簡単な説明

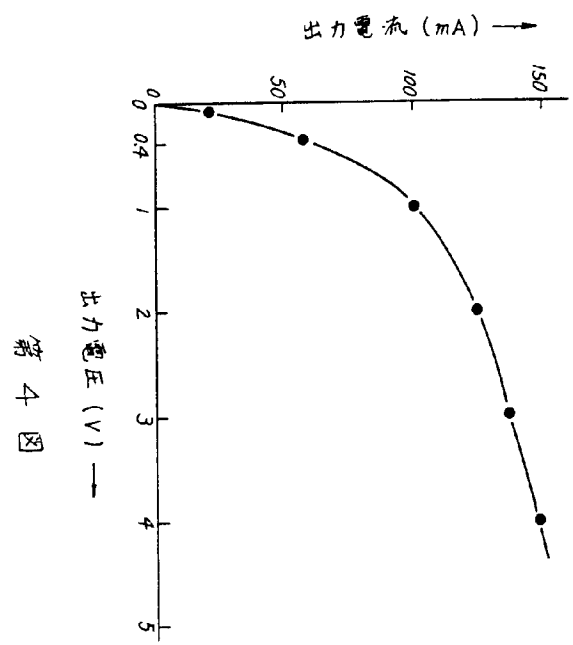
第1図は本発明の第1の実施例に係る出力バッファ回路を示したブロック図、第2図は本発明の第1の実施例に係る出力バッファ回路を示した回路図、第3図は本発明の第1の実施例に係るPチャネルトランジスタの電流特性を示したグラフ、第4図は本発明の第1の実施例に係る出力バッファ回路の電流特性を示したグラフ、第5図は本発明の第2の実施例に係る出力バッファ回路を示した回路図、第6図は本発明の第3の実施例に係る



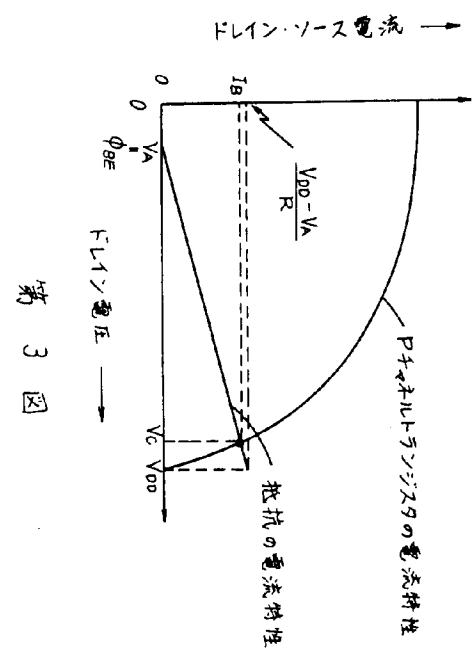
第1図



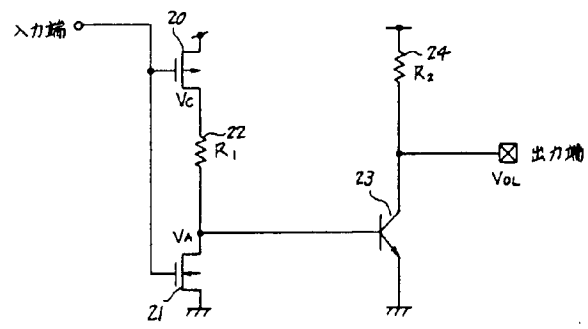
第2図



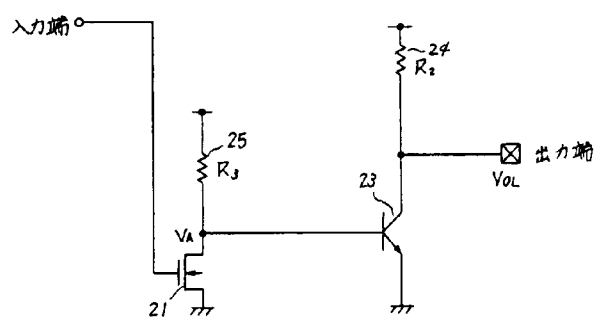
第 4 図



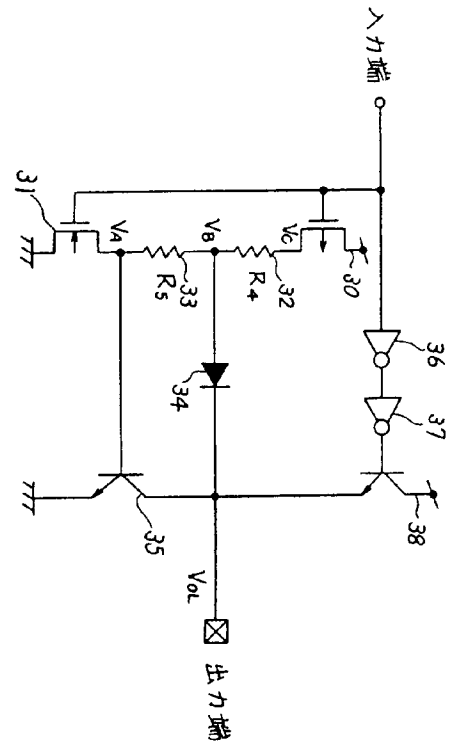
第 3 図



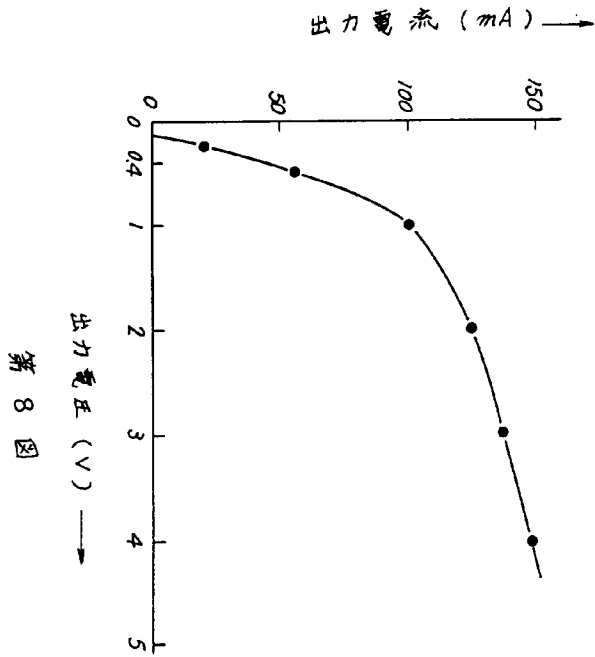
第 5 図



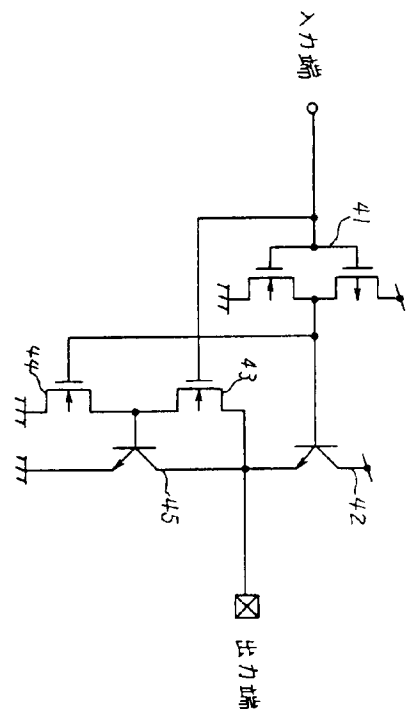
第 6 図



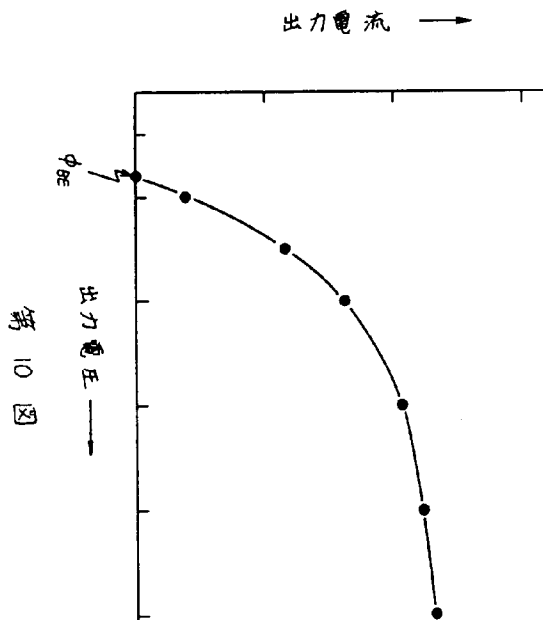
第7図



第8図



第9図



第10図

第1頁の続き

⑦発 明 者 木 村 昌 浩 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエンジニアリング株式会社内